

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-301141

(43)Date of publication of application : 13.11.1998

(51)Int. Cl.

G02F 1/136
G02F 1/1343
G09F 9/30

(21)Application number : 09-107979

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 25.04.1997

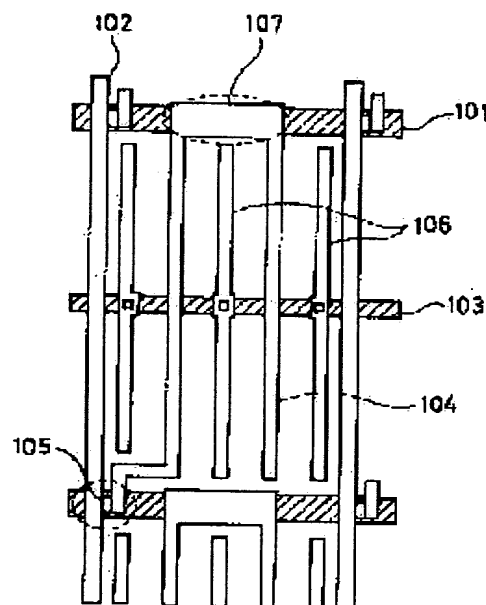
(72)Inventor : TAKUBO YONEJI
ASADA SATOSHI
KAWASAKI KIYOHIO

(54) LIQUID CRYSTAL DISPLAY ELEMENT AND ITS PRODUCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance display quality by providing pixel electrode wirings and common electrode wirings so as to be in contact with an oriented film layer to enable the making of visual fields wide and also a satisfactory multi-level display.

SOLUTION: After a scanning electrode wiring 101 and a first common electrode wiring 103 are formed and an insulating film and a semiconductor layer are laminated, a signal electrode wiring 102 and a pixel electrode wiring 104 are formed with a pattern. At this time, at the same time, a second common electrode 106 is formed so as to be electrically short-circuited with the first common electrode wiring 103 and so as to be meshed with the pixel electrode wiring 104. Then, the pixel electrode wiring 104 and the second common electrode wiring 106 meshed with each other are arranged on the same layer and also on a plane being in contact with a liquid crystal layer including an oriented film. Consequently, an electric field intensity to be supplied on the liquid crystal layer at the time of impressing the same voltage becomes larger as compared with the constitution in which the common electrode wiring is arranged on the under layer of the insulation layer and it is made possible to operate a liquid crystal display element at a low voltage. Moreover, the resistance of the element with respect to a burn-in phenomenon is remarkably enhanced.



LEGAL STATUS

[Date of request for examination] 20. 03. 2002
[Date of sending the examiner's decision
of rejection]
[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's
decision of rejection]
[Date of requesting appeal against
examiner's decision of rejection]
[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-301141

(43) 公開日 平成10年(1998)11月13日

(51) Int.Cl.⁹

G 0 2 F 1/136
1/1343

G 0 9 F 9/30

識別記号

5 0 0

3 3 8

F I

G 0 2 F 1/136

1/1343

G 0 9 F 9/30

5 0 0

3 3 8

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号

特願平9-107979

(22) 出願日

平成9年(1997)4月25日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 田窪 米治

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 浅田 智

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 川崎 清弘

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

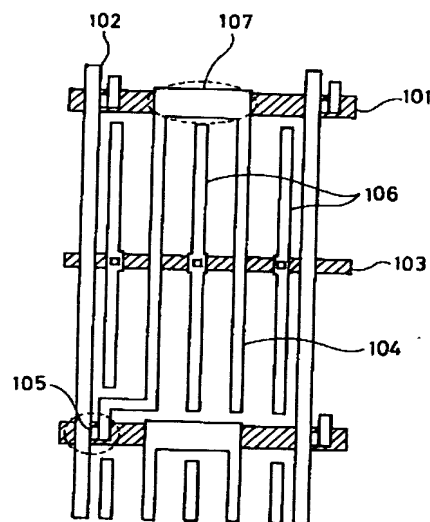
(74) 代理人 弁理士 森本 義弘

(54) 【発明の名称】 液晶表示素子及びその製造方法

(57) 【要約】

【課題】 横電界駆動方式による表示画像について、視野を広角化するとともに良好な多階調表示を得ることができ、その表示品質を向上することができる液晶表示素子及びその製造方法を提供する。

【解決手段】 互いに咬合する画素電極配線104と第1および第2の共通電極配線103、106とを、それらの上に付加的な絶縁層を形成することなく配向膜層と直接接触させることによって、従来の横電界駆動方式による構成によって発生していた液晶層への電界強度の低下を抑える。



101 --- 走査電極配線
102 --- 信号電極配線
103 --- 第1の共通電極配線
104 --- 画素電極配線
105 --- 薄膜トランジスタ素子
106 --- 第2の共通電極配線
107 --- 付加絶縁層

【特許請求の範囲】

【請求項1】 第1のガラス基板の主平面上に、マトリックス状に配置された複数の走査電極配線および信号電極配線と、前記走査電極配線および信号電極配線の各交差点に対応して配置された櫛状の画素電極配線と、前記走査電極配線および信号電極配線および画素電極配線の間を電氣的に接続するスイッチング素子と、前記画素電極配線に咬合して配置された共通電極配線と、液晶分子の配列方向を制御する配向膜層とを形成し、表面に配向膜層が形成された第2のガラス基板と前記第1のガラス基板とで液晶層を挟持し、前記走査電極配線および信号電極配線への駆動信号により前記スイッチング素子を駆動制御して、前記画素電極配線と共通電極配線との間に前記第1のガラス基板の主平面とほぼ平行な電界を発生させることによって、前記液晶層による光学特性を制御する液晶表示素子であって、前記画素電極配線と共通電極配線とを、前記配向膜層に接触するように配設して構成したことを特徴とする液晶表示素子。

【請求項2】 第1のガラス基板の主平面上に、マトリックス状に配置された複数の走査電極配線および信号電極配線と、前記走査電極配線および信号電極配線の各交差点に対応して配置された櫛状の画素電極配線と、前記走査電極配線および信号電極配線および画素電極配線の間を電氣的に接続するスイッチング素子と、前記画素電極配線に咬合して配置された共通電極配線と、液晶分子の配列方向を制御する配向膜層とを形成し、表面に配向膜層が形成された第2のガラス基板と前記第1のガラス基板とで液晶層を挟持し、前記走査電極配線および信号電極配線への駆動信号により前記スイッチング素子を駆動制御して、前記画素電極配線と共通電極配線との間に前記第1のガラス基板の主平面とほぼ平行な電界を発生させることによって、前記液晶層による光学特性を制御する液晶表示素子であって、前記画素電極配線と共通電極配線とを、同一平面状に配置して構成したことを特徴とする液晶表示素子。

【請求項3】 共通電極配線を、走査電極配線の形成の際に同時に形成された第1の共通電極配線と、信号電極配線および画素電極配線の形成の際に前記画素電極配線間に櫛状に形成された第2の共通電極配線とからなり、前記第1の共通電極配線と第2の共通電極配線とが電氣的に短絡した状態になるように構成したことを特徴とする請求項2に記載の液晶表示素子。

【請求項4】 請求項3に記載の液晶表示素子における共通電極配線の形成を、走査電極配線の形成工程時に同時に第1の共通電極配線を形成する工程と、信号電極配線および画素電極配線の形成工程時に、前記画素電極配線間に第2の共通電極配線を櫛状に形成する工程と、前記第1の共通電極配線と第2の共通電極配線とを電氣的に短絡するためのコンタクト穴を形成する工程とより行うことを特徴とする液晶表示素子の製造方法。

【請求項5】 画素電極配線および共通電極配線を、第1のガラス基板の主平面上に形成された走査電極配線と信号電極配線とスイッチング素子とを被覆するように形成された絶縁層上に形成したことを特徴とする請求項2に記載の液晶表示素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、AV機器の映像表示やOA機器の情報表示などを行うためのディスプレイに使用される液晶表示素子及びその製造方法に関するものである。

【0002】

【従来の技術】現在、液晶を用いて画像を表示する液晶表示素子は、ビデオカメラのビューファインダーやポケットTVさらには高精細投写型TVなどの音響映像(AV)機器の映像表示や、パソコン、ワープロなどのOA機器の情報表示などを行うためのディスプレイに広く使用されてきており、その開発および商品化が活発に行われている。

【0003】特に、スイッチング素子として薄膜トランジスタ(TFT)を用いたアクティブマトリックス型液晶表示素子は、大容量の表示を行っても高いコントラストが保たれるという大きな特徴をもち、特に近年市場要望の極めて高いラップトップパソコンやノートパソコン用のフルカラーディスプレイ、さらにはエンジニアリングワークステーション用の大型、大容量フルカラーディスプレイにおける液晶表示素子の本命として、その開発および商品化が盛んである。

【0004】このようなアクティブマトリックス型液晶表示素子において、広く用いられている液晶表示モードとして、TN(Twisted Nematic)方式がある。このTN方式では、電極を有する基板間に挟持された液晶層の液晶分子が電極基板間で90°捻れた構造をもつ液晶パネルを、2枚の偏光板により挟むようにしている。このTN方式液晶表示素子は、2枚の偏光板が、互いの偏光軸方向が直交するとともに、それらの一方の偏光板の偏光軸が一方の基板に接している液晶分子の長軸方向と平行か垂直になるように配置されている。

【0005】電圧無印加の場合は白表示であるが、2枚の基板間すなわち液晶パネルに対して垂直方向に電圧を印加していくと、徐々に光透過率が低下して黒表示となる。このような表示特性が得られるのは、液晶パネルに電圧を印加すると、2枚の基板間の液晶分子が捻れ構造をほどこながら電界の向きに配列しようとし、このために分子の配列状態が変化して偏光状態が変わり、光の透過率が変調されるからである。

【0006】しかし、同じ分子配列状態でも、液晶パネルに入射してくる光の入射方向によって透過光の偏光状態が変化するので、入射方向に対応して光の透過率が異なってくる。すなわち液晶パネルの表示特性は視角依存

性を持つことになる。この液晶パネルの視角依存特性は、主視角方向（液晶層の中間層における液晶分子の長軸方向）に対し視点を斜めに傾けると輝度の逆転現象を引き起こし、液晶パネルの画質上、重要な問題点となっている。

【0007】この問題点を解決するために、従来より各種の方式が提案され開発されてきている。中でも近年特に注目されている方式として、TN方式のようにガラス基板に対して垂直方向の電界を印加するのではなく、液晶に印加する電界の方向をガラス基板に対してほぼ平行な方向とし、液晶分子の配列の方向をガラス基板に対して平行な平面上で制御するIPS（In-Plane Switching）方式があり、例えば特公昭63-21907号公報や特開平6-160878号公報により提案されている。

【0008】図6は一般的なIPS方式の液晶表示素子の基本的な構成を示す斜視図である。図6において、1は第1のガラス基板、2は走査電極、3は走査電極2の形成と同時に走査電極2と同一層に形成された共通電極、4は絶縁層でありSiNxまたはSiNxを含む積層構造が一般的によく用いられている。5は信号電極、6は信号電極5と同時に形成された画素電極、7はスイッチング素子部であり、半導体層としてa-Siが主に用いられている。8は液晶層、9は対向する第2のガラス基板を示している。

【0009】本IPS方式では、液晶層8の液晶分子は、共通電極3に印可される共通電極電圧と、スイッチング素子部7を介して信号電極5から画素電極6に供給された画素電圧との間で、第1のガラス基板1にほぼ平行に発生する電界によって制御される。

【0010】

【発明が解決しようとする課題】しかしながら上記のようなIPS方式による従来の液晶表示素子では、以下のような問題点がある。

【0011】第1は、共通電極3上に絶縁層4が存在することにより液晶層8に対する電界強度の低下が発生し、これにより液晶層8を十分に駆動するための駆動電圧をアップする必要があるという問題点である。

【0012】第2は、液晶層8に対する絶縁層4の画素電極6側と共通電極3側における構成の非対称性によって分極性に差が生じ、焼き付け現象が発生しやすいという問題点である。この焼き付け現象とは、液晶パネルに固定パターンを一定時間表示し続けると、表示パターンを変更した後も前の表示パターンが一定時間残るといった液晶パネル特有の現象である。

【0013】本発明は、上記従来の問題点を解決するもので、横電界駆動方式による表示画像について、視野を広角化するとともに良好な多階調表示を得ることができ、その表示品質を向上することができる液晶表示素子及びその製造方法を提供する。

【0014】

【課題を解決するための手段】上記課題を解決するために、本発明の液晶表示素子及びその製造方法は、従来、横電界表示方式を用いた際の表示画像における広視野角特性を得るために必要であった駆動電圧のアップと、そのため発生し易くなっていた焼き付け現象とを抑えることを特徴とする。

【0015】以上により、横電界駆動方式による表示画像について、視野を広角化するとともに良好な多階調表示を得ることができ、その表示品質を向上することができる。

【0016】

【発明の実施の形態】本発明の請求項1に記載の液晶表示素子は、第1のガラス基板の主平面上に、マトリックス状に配置された複数の走査電極配線および信号電極配線と、前記走査電極配線および信号電極配線の各交差点に対応して配置された櫛形状の画素電極配線と、前記走査電極配線および信号電極配線および画素電極配線の間を電気的に接続するスイッチング素子と、前記画素電極配線に咬合して配置された共通電極配線と、液晶分子の配列方向を制御する配向膜層とを形成し、表面に配向膜層が形成された第2のガラス基板と前記第1のガラス基板とで液晶層を挟持し、前記走査電極配線および信号電極配線への駆動信号により前記スイッチング素子を駆動制御して、前記画素電極配線と共通電極配線との間に前記第1のガラス基板の主平面とほぼ平行な電界を発生させることによって、前記液晶層による光学特性を制御する液晶表示素子であって、前記画素電極配線と共通電極配線とを、前記配向膜層に接触するように配設した構成とする。

【0017】請求項2に記載の液晶表示素子は、第1のガラス基板の主平面上に、マトリックス状に配置された複数の走査電極配線および信号電極配線と、前記走査電極配線および信号電極配線の各交差点に対応して配置された櫛形状の画素電極配線と、前記走査電極配線および信号電極配線および画素電極配線の間を電気的に接続するスイッチング素子と、前記画素電極配線に咬合して配置された共通電極配線と、液晶分子の配列方向を制御する配向膜層とを形成し、表面に配向膜層が形成された第2のガラス基板と前記第1のガラス基板とで液晶層を挟持し、前記走査電極配線および信号電極配線への駆動信号により前記スイッチング素子を駆動制御して、前記画素電極配線と共通電極配線との間に前記第1のガラス基板の主平面とほぼ平行な電界を発生させることによって、前記液晶層による光学特性を制御する液晶表示素子であって、前記画素電極配線と共通電極配線とを、同一平面状に配置した構成とする。

【0018】請求項3に記載の液晶表示素子は、請求項2に記載の共通電極配線を、走査電極配線の形成の際に同時に形成された第1の共通電極配線と、信号電極配線

および画素電極配線の形成の際に前記画素電極配線間に櫛状に形成された第2の共通電極配線とからなり、前記第1の共通電極配線と第2の共通電極配線とが電氣的に短絡した状態になるように構成とする。

【0019】請求項4に記載の液晶表示素子の製造方法は、請求項3に記載の液晶表示素子における共通電極配線の形成を、走査電極配線の形成工程時に同時に第1の共通電極配線を形成する工程と、信号電極配線および画素電極配線の形成工程時に、前記画素電極配線間に第2の共通電極配線を櫛状に形成する工程と、前記第1の共通電極配線と第2の共通電極配線とを電氣的に短絡するためのコンタクト穴を形成する工程とより行う方法とする。

【0020】請求項5に記載の液晶表示素子は、請求項2に記載の画素電極配線および共通電極配線を、第1のガラス基板の主平面上に形成された走査電極配線と信号電極配線とスイッチング素子とを被覆するように形成された絶縁層上に形成した構成とする。

【0021】これらの構成または方法によると、従来、横電界表示方式を用いた際の表示画像における広視野角特性を得るために必要であった駆動電圧のアップと、そのため発生し易くなっていた焼き付け現象とを抑える。

【0022】以下、本発明の実施の形態を示す液晶表示素子及びその製造方法について、図面を参照しながら具体的に説明する。

(実施の形態1) 図1および図2は本実施の形態1の液晶表示素子における薄膜トランジスタアレイ基板の構成を示す概略平面図およびその概略断面図である。図1および図2において、101、103はそれぞれ走査電極配線、第1の共通電極配線を示しており、本実施の形態では、走査電極配線101および第1の共通電極配線103は、それぞれ同一平面状に、アルミニウムを主成分とする金属薄膜を成膜し、図に示す形状をフォトリソグラフィ法によって形成した。これら走査電極配線101および第1の共通電極配線103として使用する金属材料は、特にアルミニウム系金属に限定する必要はなく、また単層膜および多層膜のどちらを用いても良い。

【0023】次に、絶縁膜として上記のアルミニウム膜の陽極酸化層および窒化シリコン(SiNx)と、半導体層としてのアモルファスシリコンとを積層したのち、第1の共通電極配線103上の陽極酸化層と窒化シリコンの層の一部分を取り除き、その後、スパッタリング法によってアルミニウム/チタン(Al/Ti)の2層を堆積した後、ドライエッチングによって信号電極配線102および画素電極配線104をパターン形成した。このとき同時に、第1の共通電極配線103と電氣的に短絡するように、第2の共通電極配線106を画素電極配線104と咬合するように形成した。105はスイッチング素子である薄膜トランジスタ素子を示している。

【0024】本実施の形態では、画素電極配線104お

よび第2の共通電極配線106の線幅は5 μ mとした。また、画素電極配線104には、走査電極配線101との間で付加容量部107を形成した。付加容量部107は、それに対応する走査電極配線101の1ライン前との間で形成したが、1ライン後の走査電極配線101、あるいは第1の共通電極配線103との間で形成してもよく、特に限定をするものではない。

【0025】次に、図1および図2に示した薄膜トランジスタアレイ基板と、赤、緑、青のカラーフィルタを形成してなる対向基板との間に、画素電極配線104及び第2の共通電極配線106の長手方向に対して、5°から15°の間で配向させた液晶層を挟持してなる液晶表示素子の動作およびその特性について詳細に説明する。

【0026】図1および図2に示すように、薄膜トランジスタ素子105がオンの間に、信号電極配線102から信号電位が画素電極配線104に供給される。その後、薄膜トランジスタ素子105が非選択(オフ)になった状態で、画素電極配線104の電位は、1ライン前の走査電極配線101との間に形成された付加容量部107によって保持され、第2の共通電極配線106との間で横方向の電界が発生する。この電界強度の大きさに応じて、液晶分子の配列方向が主平面内で変形し、結果として入射する光の偏光状態が変化する。

【0027】本実施の形態の構成では、互いに咬合する画素電極配線104及び第2の共通電極配線106が同一層に、かつ配向膜を含む液晶層と接する面に配置されているので、従来一般的な構成であり共通電極配線を絶縁層の下層に配置した構成に比べて、同一電位を印加したときに液晶層に供給される電界強度が大きくなり、低電圧で動作させることが可能となる。図3は従来構成(破線で示す)と本実施の形態(実線で示す)の各液晶表示素子の電圧-透過率特性の測定結果である。本実施の形態の液晶表示素子では、従来構成に比べて、最大透過率部で約0.5(V)の低電圧化ができていていることがわかる。

【0028】また、本実施の形態の構成を有する液晶表示素子の特性上の大きな効果として、焼付け現象に対する耐性が大幅に向上できることがわかった。液晶表示素子における焼付け現象とは、前述したように、液晶パネルにウィンドウのような固定パターンを一定時間表示し続けると、表示パターンを変更した後も前の表示パターンが一定時間残るといった一種の残像で、液晶パネル特有の現象である。

【0029】また、従来構成と本実施の形態の構成の液晶表示素子に対し、白背景の中に黒のウィンドウパターンを一定時間表示した後、全面を中間調表示したときの焼付け現象発生までの時間を評価した結果、従来構成での発生時間約30分に比較し、本構成では5時間以上にわたって発生が見られないことを確認した。上記の焼付け現象は、液晶材料や配向膜といった材料系によって

も発生度合いに差が見られたが、いずれの材料系に対しても、焼付け発生時間は、従来構成の約5倍から10倍改善できることが確認できた。

【0030】また、従来の構成では、画素電極と共通電極の少なくともいずれか一方に、絶縁層を有することから、絶縁層と配向膜界面などに分極が生じ易くなることによって、焼付け現象が発生し易くなる。一方、本発明の構成では、電極上に絶縁層がないので分極が生じにくく、結果として焼き付け現象が大幅に改善できる。

（実施の形態2）次に、本実施の形態2の液晶表示素子について詳細に説明する。

【0031】図4および図5は本実施の形態2の液晶表示素子における薄膜トランジスタアレイ基板の構成を示す概略平面図およびその概略断面図である。図4および図5において、101はそれぞれ走査電極配線を示しており、本実施の形態では、アルミニウムを主成分とする金属薄膜を成膜し、図に示すような形状をフォトリソグラフィ法によって形成した。走査電極配線101として使用する金属材料は特にアルミニウム系金属に限定する必要はなく、また単層膜および多層膜のどちらを用いても良い。

【0032】次に、絶縁膜として上記のアルミニウム膜の陽極酸化層および窒化シリコン（SiNx）と、半導体層としてのアモルファスシリコンとを積層し、スパッタリング法によって堆積させたアルミニウム／チタン

（Al/Ti）の2層を堆積した後、ドライエッチングによって信号電極配線102および第1の画素電極配線404をパターン形成した。このとき同時に、付加容量となる付加容量電極407を、走査電極配線101との間に配置した。105はスイッチング素子である薄膜トランジスタ素子を示している。その後、平坦化層408を全面に形成し、第1の画素電極配線404と付加容量電極407上の一部の平坦化層408を除去し、最後に、金属薄膜を成膜、パターンニングすることによって、第2の画素電極配線409と共通電極配線403を、互いに咬合して配置するように形成した。この時、第2の画素電極配線409は、付加容量電極407と第1の画素電極配線404と電気的に短絡するようにした。第2の画素電極配線409および共通電極配線403の線幅は5μmとした。

【0033】本実施の形態の構成では、共通電極配線403が、走査電極配線101上に形成できることから、画素領域内の光を透過する領域いわゆる画素部の開口率

を大きくすることができる。

【0034】また、本実施の形態の構成においても、実施の形態1に示した構成と同様に、互いに咬合する電極上に絶縁層を介していないので、低電圧化、および焼付け現象の改善については、実施の形態1と同様の結果を確認することができた。

【0035】

【発明の効果】以上のように本発明によれば、従来、横電界表示方式を用いた際の表示画像における広視野角特性を得るために必要であった駆動電圧のアップと、そのため発生し易くなっていた焼き付け現象を抑えることができる。

【0036】そのため、横電界駆動方式を用いた際の表示画像について、視野を広角化するとともに良好な多階調表示を得ることができ、その表示品質を向上することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1の液晶表示素子の構成を示す平面図

【図2】同実施の形態1の液晶表示素子の構成を示す断面図

【図3】同実施の形態1の液晶表示素子の電圧－透過率特性の説明図

【図4】本発明の実施の形態2の液晶表示素子の構成を示す平面図

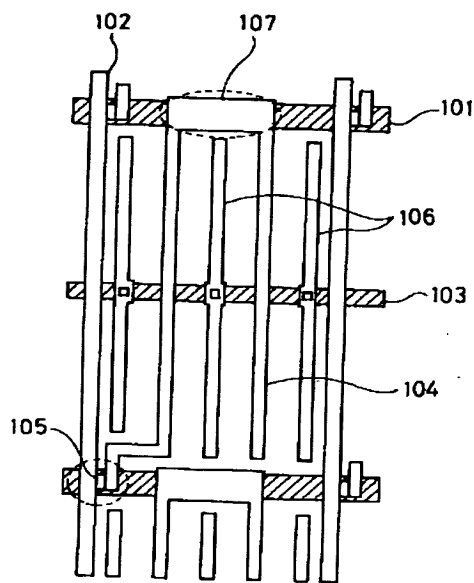
【図5】同実施の形態2の液晶表示素子の構成を示す断面図

【図6】従来の横電界駆動方式の液晶表示素子の構成を示す断面図

【符号の説明】

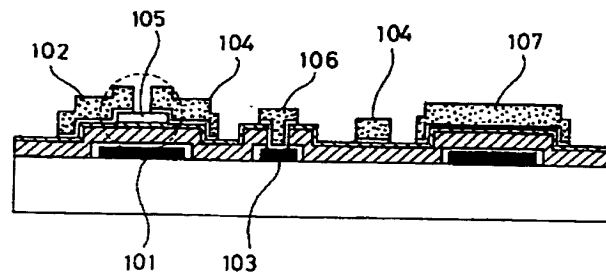
101	走査電極配線
102	信号電極配線
103	第1の共通電極配線
104	画素電極配線
105	薄膜トランジスタ素子
106	第2の共通電極配線
107	付加容量部
403	共通電極配線
404	第1の画素電極配線
407	付加容量電極
408	平坦化層
409	第2の画素電極配線

【図1】

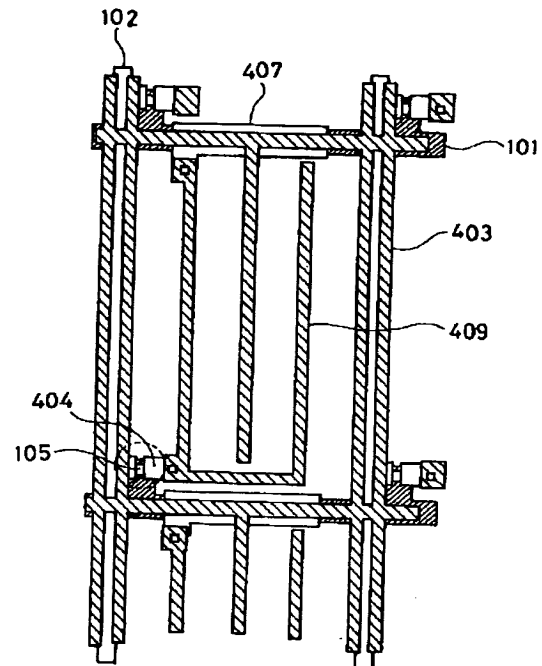


- 101--- 走査電極配線
 102--- 信号電極配線
 103--- 第1の共通電極配線
 104--- 固定電極配線
 105--- 薄膜トランジスタ素子
 106--- 第2の共通電極配線
 107--- 付加容量部

【図2】



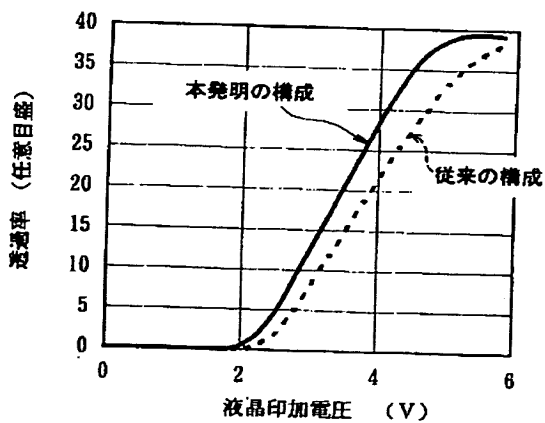
【図4】



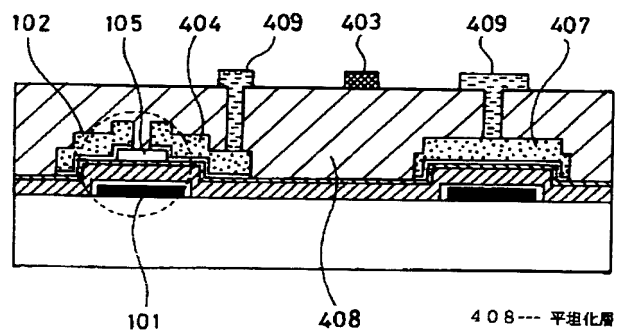
- 403--- 共通電極配線
 404--- 第1の画素電極配線
 407--- 付加容量電極
 409--- 第2の画素電極配線

【図3】

液晶表示素子の電圧-透過率特性



【図5】



【図6】

